

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF:	<b>Yong Jin CHO et al.</b>	GAU:	TBA
SERIAL NO.:	<b>TBA</b>	EXAMINER:	TBA
FILED:	<b>December 28, 2001</b>		
FOR:	<b>LIQUID CRYSTAL DISPLAY DEVICE AND METHOD FOR FABRICATING THE SAME</b>		

## REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

36564 U.S. PTO  
10/028984  
12/28/01

SIR:

- Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App D], is claimed pursuant to the provisions of **35 U.S.C. §120**.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<b>COUNTRY</b>	<b>APPLICATION NUMBER</b>	<b>MONTH/DAY/YEAR</b>
<b>KOREA</b>	<b>2001-24581</b>	<b>May 7, 2001</b>

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
  - are submitted herewith
  - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: December 28, 2001

LONG ALDRIDGE & NORMAN LLP

Sixth Floor  
701 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
Tel (202) 624-1200  
Fax (202) 624-1298

  
Song K. Jung  
Registration No. 35,210

Rebecca A. Goldman  
Registration No. 41,786

10/028984  
12/28/01  
JCS64 U.S. PRO

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 24581 호  
Application Number PATENT-2001-0024581

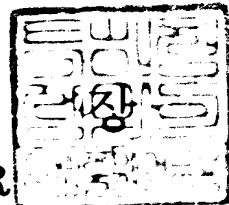
출원년월일 : 2001년 05월 07일  
Date of Application MAY 07, 2001

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.

2001 년 08 월 18 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.05.07
【국제특허분류】	G02F
【발명의 명칭】	액정표시장치 및 그 제조방법
【발명의 영문명칭】	Liquid crystal display device and its fabricating method
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-054732-1
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	1999-054731-4
【발명자】	
【성명의 국문표기】	조용진
【성명의 영문표기】	CHO, Yong Jin
【주민등록번호】	750820-1066712
【우편번호】	135-244
【주소】	서울특별시 강남구 개포4동 현대아파트 205동 501 호
【국적】	KR
【발명자】	
【성명의 국문표기】	이현규
【성명의 영문표기】	LEE, Hyun Kyu
【주민등록번호】	681230-1122511

1020010024581

출력 일자: 2001/8/20

【우편번호】 156-090

【주소】 서울특별시 동작구 사당동 극동아파트 112동 403호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
김용인 (인) 대리인  
심창섭 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 화소전극에 전기적 신호를 인가하는 드레인전극의 면적을 줄여 개구율을 높인 액정표시장치 및 그 제조방법에 관한 것으로서, 본 발명에 따른 액정표시장치는 복수개의 게이트라인 및 데이터라인으로 정의되는 액티브 영역 내에 박막트랜지스터 및 화소영역을 구비하는 액정표시장치에 있어서, 상기 박막 트랜지스터의 드레인 전극과 상기 화소영역의 화소전극이 전기적으로 연결되는 부위인 콘택홀이 상기 드레인 전극의 소정부위와 상기 화소영역의 소정부위에 걸쳐 형성되는 것을 특징으로 한다.

**【대표도】**

도 2a

**【색인어】**

고개구율

## 【명세서】

## 【발명의 명칭】

액정표시장치 및 그 제조방법{Liquid crystal display device and its fabricating method}

## 【도면의 간단한 설명】

도 1a는 종래 기술에 따른 액정표시장치 단위화소의 구조 평면도.

도 1b는 도 1a의 A-A`선에 따른 구조 단면도.

도 2a는 본 발명에 따른 액정표시장치 단위화소의 구조 평면도.

도 2b는 도 2a의 B-B`선에 따른 구조 단면도.

도 3a 및 3b는 액정표시장치의 상하판 합착시 빛이 투과되지 않는 부분을 나타낸 종래 및 본 발명에 따른 액정표시장치 단위 화소의 평면도.

도 4a 내지 4c는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도.

## 도면의 주요 부분에 대한 부호의 설명

201 : 절연기판

202 : 게이트 전극

203 : 게이트 절연막

204 : 반도체층

205 : 오박 콘택층

206 : 소스 전극

207 : 드레인 전극

208 : 보호막

209 : 화소전극

210 : 콘택홀

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 디스플레이 장치에 관한 것으로 특히, 액정표시장치 및 그 제조 방법에 관한 것이다.

<14> 일반적으로 노트북 모니터의 TFT-LCD 모듈의 소비전력 가운데 백라이트가 차지하는 비중은 60% 이상이다. 이러한 전력소모를 줄이려면 개구율을 키워야 한다. 개구율(Aperture Ratio)이란 전체 디스플레이 면적에 대한 액티브 콘트라스 트 생성 면적의 비율을 의미하는 것으로, 표시에 가여하는 면적의 합, 액정 디스 플레이 패널에서는 표시에 가여하지 않는 부분 이외, 또 ITO 화소전극 내에서 블 랙매트릭스를 제외한 면적을 총화소면적으로 나누면 그 비율이 개구율로서 실제 광투과에 가여하는 유효 투과영역이 된다.

<15> 개구율에 영향을 미치는 요소는 게이트배선과 데이터배선의 두께, 화소전극과 데이터배선 또는 게이트배선과의 간격, 블랙매트릭스와 화소전극의 중첩 간격, 저장 캐패시턴스, 박막트랜지스터의 면적 등이 있다.

<16> 고개구율을 구현하기 위해서는 상기와 같은 요소들의 크기를 줄여야 하는데 다음과 같은 고려사항이 있다.

<17> 데이터배선은 데이터배선의 단선(open) 및 마스크 경렬오차를, 게이트배선은 게이트배선의 딜레이(Delay)를, 화소전극과 데이터라인의 간격은 마스크 경렬 오차, 두 전극의 단락(short), 액정의 전경(Disinclination)을 고려해야 하고,

화소전극과 게이트배선의 간격은 마스크 정렬오차 및 기생용량을, 블랙매트릭스와 화소전극의 중첩간격은 블랙매트릭스 식각 손실, 합착 여유, 화소전극의 정렬오차 등을 고려해야 하며, 저장 캐패시턴스는 문턱전압(Feed through)을, 박막트랜지스터 면적은 총전율을 제고해야 한다.

<18> 이상과 같은 개구율 관련 고려사항 외에 화소전극과 전기적으로 연결되어 있는 드레인 전극의 면적도 개구율을 높이기 위해 제고할 수 있다. 드레인 전극의 면적이 작아지면 드레인 전극을 덮는 상판의 블랙매트릭스의 면적도 줄어들게 되어 개구율이 높아지기 때문이다.

<19> 본 발명은 종래의 일반적인 개구율 관련 고려사항 외에 상기와 같은 드레인 전극의 면적에 관하여 착안한 것이다.

<20> 이하, 도면을 참조하여 종래 기술에 따른 액정표시장치의 구조를 상세히 설명한다.

<21> 도 1a 종래 기술에 따른 액정표시장치의 단위 화소의 구조 평면도이다.

<22> 도 1a에 도시된 바와 같이, 데이터라인(111)과 게이트라인(112)이 교차되어 형성되어 있으며, 상기 데이터라인(111)과 게이트라인(112)이 교차하는 부위에 있어서, 소스/드레인전극(106, 107), 게이트 전극(102)으로 이루어지는 박막트랜지스터가 형성되어 있다. 상기 화소영역의 중앙부위에는 드레인전극(107)과 전기적으로 연결되어 있는 화소전극(109)이 형성되어 있다.

<23> 이때, 드레인 전극(107)은 화소전극의 소정영역까지 연장되고, 콘택홀(110)을 통해 화소전극과 연결된다.

<24> 도 1a의 A-A`선에 따른 단면을 보면, 도 1b에 도시된 바와 같이, 절연기판 (101)상에 도전성 금속의 게이트전극(102)이 형성되어 있으며, 상기 게이트 전극 (102)을 포함한 기판 전면에 게이트절연막(103)이 적층되어 있다.

<25> 또한, 상기 게이트절연막(103)상에 반도체층(104)과 오믹콘택층(Ohmic contact layer)(105)이 차례로 형성되어 있고, 상기 오믹콘택층(105)상의 좌우에는 도전성 금속으로 이루어진 박막트랜지스터의 소스/드레인 전극(106, 107)이 패터닝되어 형성되어 있다. 그리고, 상기 소스/드레인 전극(106, 107)을 포함한 기판 전면 상에 실리콘 질화물( $SiN_x$ ) 재질의 보호막(108)이 형성되어 있으며, 상기 보호막 상에는 ITO(Indium Tin Oxide)을 증착, 패터닝하여 형성된 화소전극 (109)이 있다. 상기 화소전극(109)은 보호막(108)을 식각하여 형성한 콘택홀을 통해 상기 드레인 전극(107)과 전기적으로 연결되어 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<26> 그러나 상기와 같은 종래 액정표시장치는 다음과 같은 문제점이 있었다.

<27> 화소전극과 전기적으로 연결되어 있는 박막트랜지스터의 드레인 전극이 화소영역으로 돌출된 형상으로 형성되어 있기 때문에, 상판에 형성되어 하판의 박막트랜지스터로의 빛의 투과를 막는 블랙매트릭스의 면적을 증가시켜 개구율 저하의 문제점을 야기했다.

<28> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 상기 드레인전극의 형상을 변화시킴으로써 개구율 향상을 도모할 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

### 【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위한 본 발명의 액정표시장치는 복수개의 게이트라인 및 데이터라인으로 정의되는 액티브 영역 내에 박막트랜지스터 및 화소영역을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터의 드레인 전극과 상기 화소영역의 화소전극이 전기적으로 연결되는 부위인 콘택홀이 상기 드레인 전극의 소정부위와 상기 화소영역의 소정부위에 걸쳐 형성되는 것을 특징으로 하며, 그 제조방법은 절연기판 상에 게이트전극을 형성하는 공정과, 상기 게이트전극을 포함한 기판 전면에 게이트 절연막을 형성하는 공정과, 상기 게이트절연막 상의 소정부위에 오믹콘택총과 반도체총을 차례로 형성하는 공정과, 상기 반도체총 상의 좌우에 각각 소스/드레인 전극을 형성하는 공정과, 상기 소스/드레인 전극을 포함한 기판 전면에 보호막을 형성하는 공정과, 상기 드레인 전극의 소정부위와 향후 화소전극이 형성될 영역의 상기 절연기판의 소정부위가 드러나도록 상기 보호막을 식각하여 콘택홀을 형성하는 공정과, 상기 보호막 및 콘택홀 상에 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

<30> 액정표시장치에 있어서 빛이 투과되서는 안 될 부위는 데이터 라인, 게이트라인 및 박막트랜지스터이며, 빛의 투과를 막는 것은 상판에 형성되어 있는 블랙매트릭스이다. 따라서, 개구율을 높이기 위해서는 상기 블랙매트릭스의 면적을 최대한 줄여야 되는데 상기 데이터 라인 및 게이트 라인은 그 형상이 일직선의 형태로 고정되어 있어 변화의 여지가 없다. 반면, 박막트랜지스터의 경우 화소전극과 전기적으로 연결되어 있는 드레인 전극은 화소영역으로 돌출되어 있는 형상

으로 형성되어 있기 때문에 그 형태의 변화를 줌으로써 개구율 향상을 도모할 수 있다.

<31> 본 발명의 특징에 따른 액정표시장치 및 그 제조방법은 상기 드레인전극의 면적을 줄어듦으로써 개구율이 향상되는 장점이 있다.

<32> 이하, 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법을 상세히 설명한다.

<33> 도 2a는 본 발명에 따른 액정표시장치의 단위 화소의 구조 평면도이다.

<34> 도 2a에 도시된 바와 같이, 데이터 라인(211)과 게이트 라인(212)이 교차되어 형성되어 있고, 그 교차되는 부위에는 게이트 전극(202)과 소스/드레인전극(206, 207)으로 이루어진 박막트랜지스터가 형성되어 있다. 상기 데이터 라인(211), 게이트 라인(212) 및 박막트랜지스터외의 화소영역에는 액정(도시하지 않음)에 전기적 신호를 인가하는 화소전극(209)이 형성되어 있다.

<35> 여기서, 상기 드레인 전극(207)은 상기 화소전극(209)과 콘택홀(210)을 통해 전기적으로 연결되어 있으며, 상기 콘택홀(210)은 드레인 전극(207)의 소정부위와 화소영역의 절연기판(201)의 소정부위가 드러나도록 형성되어 있다.

<36> 상기 드레인전극 및 콘택홀이 형성된 구조를 상세히 설명하면 다음과 같다.

<37> 종래 기술에 따른 액정표시장치에 있어서, 액정에 전기적 신호를 인가하기 위해 드레인 전극 상에 형성되어 있는 보호막을 식각하여 드레인 전극의 소정부위가 드러나도록 콘택홀을 형성시켜 화소전극에 연결시키는 방식을 택하고 있다.

그리고 상기 콘택홀은 액정표시장치의 평면도를 기준으로 도시하게 되면 일정 면적을 갖는 드레인 전극의 내부에 위치하게 된다. (도 1a 참조)

<38> 그러나, 본 발명의 특징에 따른 액정표시장치는 상기 콘택홀을 상기 드레인 전극과 화소전극이 형성되는 화소영역에 걸쳐 형성한다. 따라서, 콘택홀에 의해 드러나는 부위는 드레인 전극의 일부(에지 부위)와 화소영역의 절연기판의 일부(에지 부위)가 된다.

<39> 상기와 같은 본 발명의 특징에 따른 액정표시장치는 종래 기술에 비해, 콘택홀의 위치는 변경하지 않고 드레인 전극의 형성 면적을 줄인 것으로서 개구율 향상의 효과가 있다.

<40> 도 2b는 도 2a의 B-B`선에 따른 구조 단면도이다.

<41> 도 2b에 도시된 바와 같이, 절연기판(201)상에 도전성 금속의 게이트전극 (202)이 형성되어 있으며, 상기 게이트 전극(202)을 포함한 기판 전면에 게이트 절연막(203)이 적층되어 있다.

<42> 또한, 상기 게이트 절연막(203)상에 반도체층(204)과 오믹콘택층(Ohmic contact layer)(205)이 차례로 형성되어 있고, 상기 오믹콘택층(205)상의 좌우에는 도전성 금속으로 이루어진 박막트랜지스터의 소스/드레인 전극(206, 207)이 패터닝되어 형성되어 있다. 그리고, 상기 소스/드레인 전극(206, 207)을 포함한 기판 전면 상에 실리콘 질화물( $SiN_x$ ) 재질의 보호막(208)이 형성되어 있으며, 상기 보호막 상에는 ITO(Indium Tin Oxide)을 증착, 패터닝하여 형성된 화소전극

(209)이 있다. 상기 화소전극(209)은 보호막(208)을 식각하여 형성한 콘택홀(210)을 통해 상기 드레인 전극(207)과 전기적으로 연결되어 있다.

<43> 도 3a 및 3b는 액정표시장치의 단위 화소에 있어서 상하판 합착시에 빛이 투과되지 않는 부분을 나타낸 것으로서 도 3a는 종래 기술, 도 3b는 본 발명에 따른 액정표시장치이다.

<44> 데이터 라인, 게이트 라인 및 박막트랜지스터로의 빛의 투과를 막기 위해 대향되는 기판(상판)에 블랙매트릭스(113)가 형성되어 있는데(도시하지 않음), 도 3a 및 3b에 도시된 바와 같이, 종래 액정표시장치의 경우 화소전극과 전기적으로 연결되어 있는 드레인 전극(107)이 화소영역으로 돌출되어 있기 때문에 드레인 전극 주변의 공간까지 블랙매트릭스(113)가 덮으므로 불필요한 개구율 저하가 야기된다. 반면, 본 발명의 액정표시장치는 상기 드레인 전극의 면적을 줄임으로써 줄어든 드레인 전극의 면적 만큼 블랙매트릭스의 면적도 줄어들게 되어 개구율 향상의 효과가 발생된다.

<45> 도 4a 내지 4c는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도이다.

<46> 도 4a에 도시된 바와 같이, 절연기판(201) 상에 알루미늄 닉오디뮴(AlNd) 또는 알루미늄(Al) 등과 같은 도전성금속을 스퍼터링(Sputtering)법을 이용하여 증착한 다음, 패터닝하여 게이트 전극(202)을 형성한다. 이어, 상기 게이트 전극(202)을 포함한 기판 전면에 실리콘 질화물( $SiN_x$ )과 같은 절연 물질을 화학기상 증착법(Chemical Vapor Deposition)을 이용, 증착하여 게이트 절연막(203)을 형성한다.

<47> 이어, 도 4b에 도시한 바와 같이, 상기 게이트 절연막(203) 상에 수화비 정질 실리콘(a-Si:H)과 도핑된 수화비 정질 실리콘(n+ a-Si:H)을 화학기 상증착법을 이용하여 차례로 형성시킨 다음, 패터닝하여 박막트랜지스터의 반도체층(204) 및 오믹콘택층(205)을 형성한다. 상기 오믹콘택층(205) 상에 크롬(Cr), 몰리브덴(Mo)과 같은 저저항 금속을 스퍼터링법을 이용하여 증착한 후 패터닝하여 소스/드레인 전극(206, 207)을 형성한다.

<48> 도 4c에 도시한 바와 같이, 상기 소스/드레인 전극(206, 207)을 포함한 기판 전면에 실리콘 질화물(SiN<sub>x</sub>)과 같은 절연 물질을 적층하여 보호막(208)을 형성하고 상기 드레인 전극(207)의 소정부위와 화소전극이 형성될 영역의 상기 절연기판(201)의 소정부위가 드러나도록 상기 보호막(208) 및 게이트 절연막(203)을 식각하여 콘택홀(d~g)을 형성한다.

<49> 이어서, 상기 콘택홀 및 보호막 상에 ITO를 스퍼터링법을 이용하여 증착한 후 패터닝하여 화소전극(209)을 형성한다.

<50> 이후, 도면에 도시하지 않았지만 상기와 같이 박막트랜지스터가 형성된 제1 기판과 그에 대응되는 기판을 합착 후 액정을 봉입하면 본 발명에 따른 액정표시장치의 제조공정을 완료된다.

### 【발명의 효과】

<51> 이상 상술한 바와 같이, 본 발명의 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

<52>      박막트랜지스터의 구성요소 중 화소전극에 전기적 신호를 인가하는 드레인 전극의 면적을 줄임으로 인해, 상판에 형성되어 박막트랜지스터로의 빛의 투과를 억제하는 역할을 하는 블랙매트릭스의 면적 또한 줄어들게 되어 액정표시장치의 개구율이 향상됨에 따라 휘도 증가 및 백라이트의 효율을 증대시킬 수 있는 장점이 있다.

**【특허 청구범위】****【청구항 1】**

복수개의 게이트라인 및 데이터라인으로 정의되는 액티브 영역 내에 박막트 랜지스터 및 화소영역을 구비하는 액정표시장치에 있어서,

상기 박막트랜지스터의 드레인 전극과 상기 화소영역의 화소전극이 전기적으로 연결되는 부위인 콘택홀이 상기 드레인 전극의 소정부위와 상기 화소영역의 소정부위에 걸쳐 형성되는 것을 특징으로 하는 액정표시장치.

**【청구항 2】**

제 1 항에 있어서, 상기 액티브 영역은,

절연기판 상에 형성되어 있는 게이트 전극과,

상기 게이트 전극을 포함한 기판 전면에 형성되어 있는 게이트 절연막과,

상기 게이트 절연막 상의 소정부위에 차례로 적층, 형성되어 있는 반도체 층, 오믹콘택층과,

상기 오믹 콘택층 상의 좌우에 형성되어 있는 소스/드레인 전극과,

상기 소스/드레인 전극을 포함한 기판 전면에 형성되어 있는 보호막과,

상기 드레인 전극의 소정부위와 향후 화소전극이 형성될 영역의 상기 절연 기판의 소정부위가 드러나도록 상기 보호막을 식각하여 형성된 콘택홀과,

상기 보호막 및 콘택홀 상에 형성되어 있는 화소전극을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치.

**【청구항 3】**

복수개의 게이트라인 및 데이터라인으로 정의되는 액티브 영역 내에 박막트 랜지스터 및 화소영역을 구비하는 액정표시장치의 제조에 있어서.

절연기판 상에 게이트전극을 형성하는 공정;

상기 게이트전극을 포함한 기판 전면에 게이트 절연막을 형성하는 공정;

상기 게이트절연막 상의 소정부위에 오믹콘택총과 반도체총을 차례로 형성하는 공정;

상기 반도체총 상의 좌우에 각각 소스/드레인 전극을 형성하는 공정;

상기 소스/드레인 전극을 포함한 기판 전면에 보호막을 형성하는 공정;

상기 드레인 전극의 소정부위와 향후 화소전극이 형성될 영역의 상기 절연기판의 소정부위가 드러나도록 상기 보호막을 식각하여 콘택홀을 형성하는 공정;

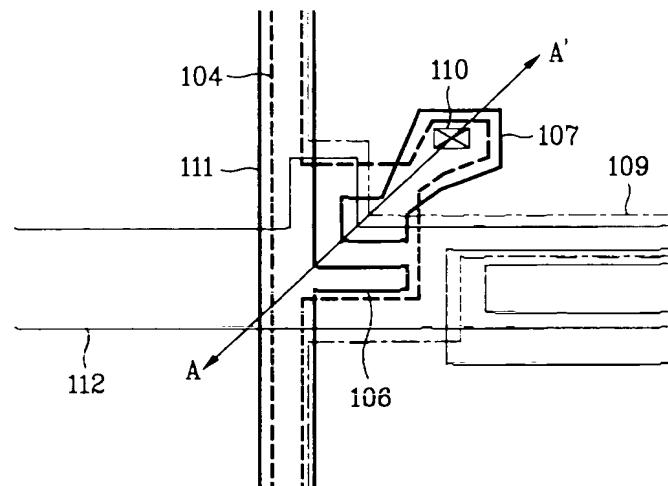
상기 보호막 및 콘택홀 상에 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

**【청구항 4】**

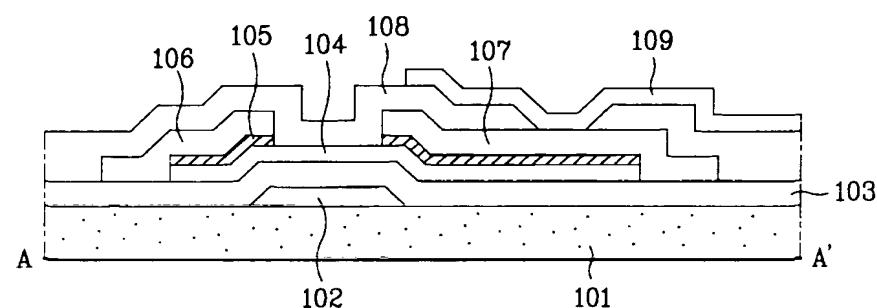
제 3 항에 있어서, 상기 콘택홀은 상기 드레인 전극의 소정부위와 상기 화소영역의 소정부위에 걸쳐 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

## 【도면】

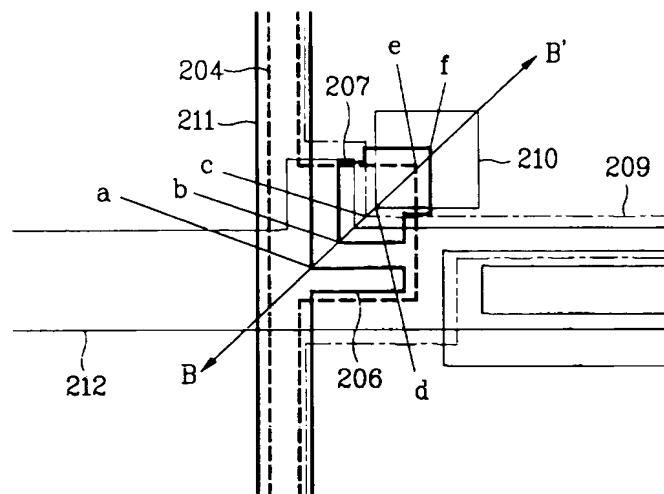
【도 1a】



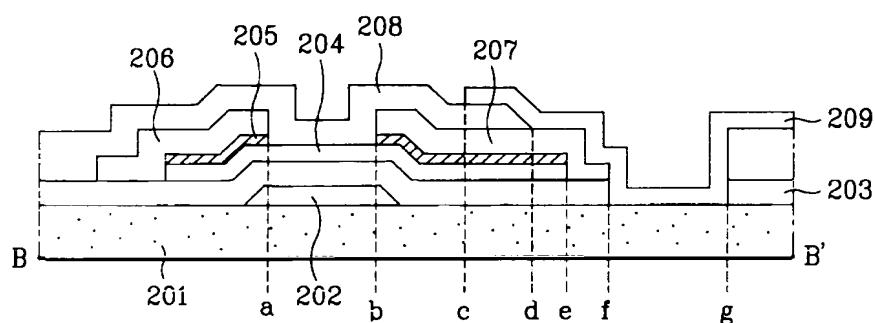
【도 1b】



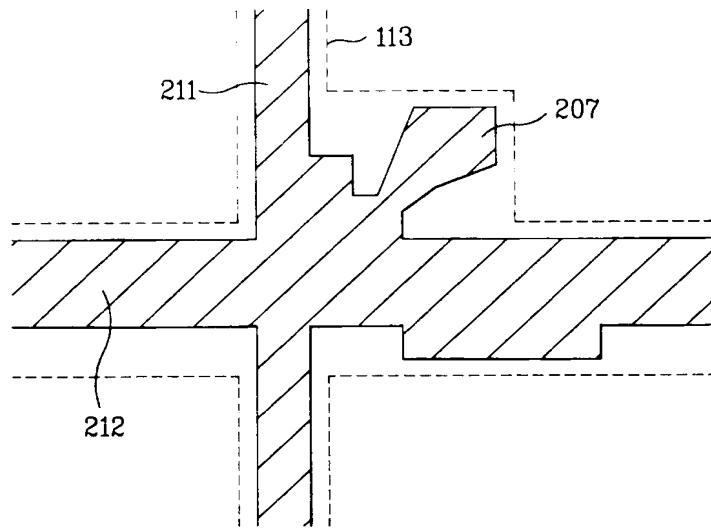
【도 2a】



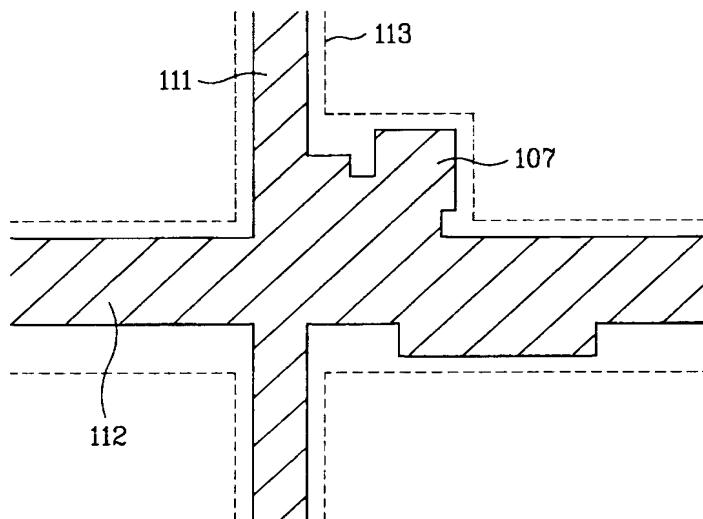
【도 2b】



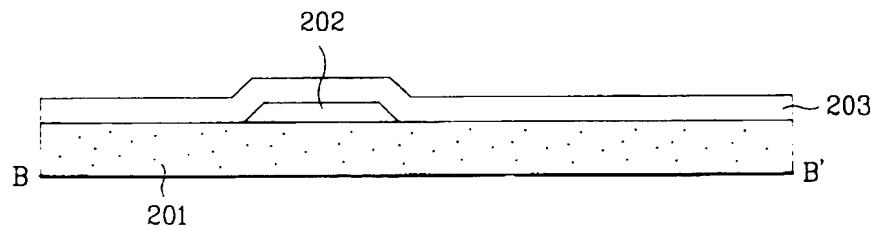
【도 3a】



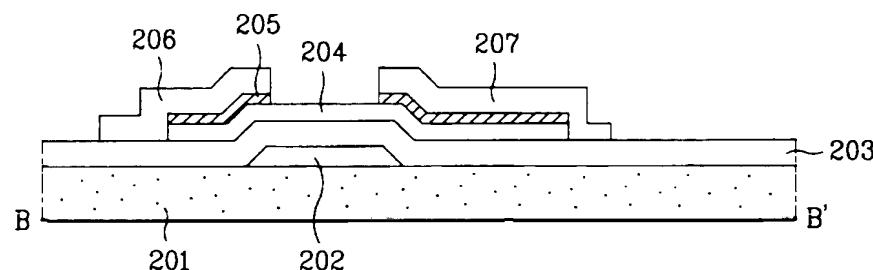
【도 3b】



【도 4a】



【도 4b】



【도 4c】

